

(19) BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

(12) Offenlegungsschrift  
(11) DE 3742487 A1

(51) Int. Cl. 4:  
G 11 C 19/00

G 06 F 9/26  
G 11 C 7/00  
H 03 K 5/13  
H 04 N 5/04

(21) Aktenzeichen: P 37 42 487.4  
(22) Anmeldetag: 15. 12. 87  
(23) Offenlegungstag: 7. 7. 88



DE 3742487 A1

(30) Unionspriorität: (32) (33) (31)  
16.12.86 JP P 300382/86

(71) Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP

(74) Vertreter:  
Prüfer, L., Dipl.-Phys., Pat.-Anw., 8000 München

(72) Erfinder:  
Kawai, Hiroyuki; Yoshimoto, Masahiko, Itami,  
Hyogo, JP

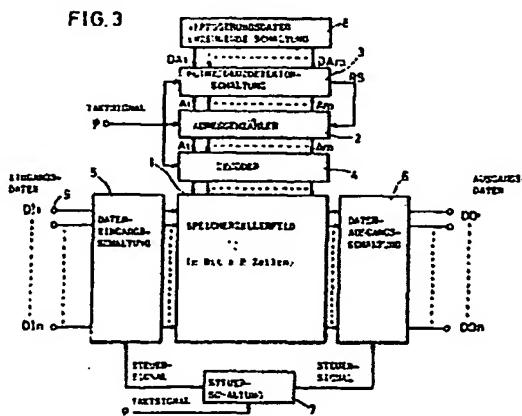
Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Schaltung mit variabler Verzögerung zum Verzögern von Eingangsdaten

Herkömmliche Schaltungen haben die Nachteile, daß die Anzahl der Verzögerungsstufen durch die Anzahl der vorgeschenen Register begrenzt, die Speicherkapazität gering, der Leistungsverbrauch hoch ist, durch die benötigten Register viel Platz verbraucht und mit zunehmender Anzahl der Verzögerungsstufen die Schaltungsstruktur zum Setzen eines Verzögerungswertes kompliziert wird.

Erfindungsgemäß vergleicht eine Koinzidenzdektorschaltung (3) die von einer Verzögerungsdaten erzeugenden Schaltung (8) angelegten Verzögerungsdaten mit dem durch Zählen von Taktimpulsen von einem Adressenzähler (2) zur Verfügung gestellten Adresssignal und legt ein Reset-Signal (RS) an den Adressenzähler (2) an, wenn diese Werte übereinstimmen. Der Adressenzähler (2) wird auf eine zuvor bestimmte Adresse zurückgesetzt und beginnt mit dem Zählen von vorn. Ein Decoder (4) bestimmt eine Speicherzelle in einem Speicherzellenfeld in Antwort auf das Adresssignal. Dateneingabe- und -ausgabeschaltungen (5, 6) führen Lese- und Schreiboperationen sequentiell in Antwort auf ein von einer Steuerschaltung (7) ausgegebenes Steuersignal aus. Die Ausgangsinformation wird als verzögerte Eingangsinformation erhalten.  
Verwendung zur Erkennung einer Bildsynchroneisierung in einem Kommunikationssystem.

DE 3742487 A1



## Patentansprüche

1. Schaltung mit variabler Verzögerung zum Verzögern von Eingangsdaten mit einer Einrichtung (9) zum Empfangen der Eingangsdaten von außen, gekennzeichnet durch:  
 eine Speichereinrichtung (1) mit einem Speicherzellenfeld zum Speichern der Eingangsdaten,  
 einer Einrichtung (7) zum Erzeugen eines Steuersignales in Antwort auf ein Taktsignal,  
 einer an die Einrichtung (9) zum Empfangen der Eingangsdaten angeschlossene Dateneingangseinrichtung (5), die auf das von der Steuereinrichtung (7) erzeugte Steuersignal reagiert zum Schreiben der Eingangsdaten in die durch ein Signal zum Bestimmen einer Speicherzelle in der Speicherzelleneinrichtung (1) bestimmte Speicherzelle, eine Datenausgabeeinrichtung (6), die auf das in der Steuereinrichtung (7) erzeugte Steuersignal zum Lesen der an die durch das Signal zum Bestimmen einer Speicherzelle in der Speicherzellen-  
 einrichtung (1) bestimmte Speicherzelle geschriebenen Eingangsdaten und zum Ausgeben derselben reagiert, wobei die Steuereinrichtung (7) so zum Steuern des zeitlichen Ablaufs ausgebildet ist, daß die Schreiboperation der Eingangsdaten durch die Dateneingangseinrichtung (5) durchgeführt werden kann, nachdem die Leseoperation in die Datenausgabeeinrichtung (6) von der bestimmten Speicherzelle ausgeführt ist,  
 eine Einrichtung (8) zum Erzeugen von Verzögerungsdaten und eine Speicherzellenbestimmungseinrichtung (2, 3, 4), die an die Speichereinrichtung (1) und die Einrichtung (8) zum Erzeugen der Verzögerungsdaten angeschlossen ist und auf ein Takt-  
 signal reagiert zum Anlegen des Signales, das eine Speicherzelle als Funktion der Verzögerungsdaten bestimmt, an die Speichereinrichtung (1).

2. Schaltung mit variabler Verzögerung nach Anspruch 1, dadurch gekennzeichnet, daß die Speicherzellenbestimmungseinrichtung (2, 3, 4) zum Zählen der Adressen und zum Ausgeben eines Adressensignales eine auf das Taktsignal reagierende Adressenzählereinrichtung (2), eine Koinzidenzdetectoreinrichtung (3), die an die Einrichtung (8) zum Erzeugen von Verzögerungsdaten und an die Adressenzählereinrichtung (2) angeschlossen ist, und die auf das Taktsignal zum Vergleichen der Verzögerungsdaten mit dem Adressensignal reagiert und, wenn die Koinzidenz erkannt ist, ein Reset-Signal zum Zurücksetzen der Adressenzählereinrichtung (2) auf den vorbestimmten Wert an die Adressenzählereinrichtung (2) anlegt, und eine Decodereinrichtung (4), die an die Adressenzählereinrichtung (2) angeschlossen ist und die auf das Taktsignal zum Decodieren des Adressensignales reagiert und an die Speichereinrichtung (1) das eine Speicherzelle bestimmende Signal anlegt, aufweist.

3. Schaltung mit variabler Verzögerung nach Anspruch 2, dadurch gekennzeichnet, daß die Koinzidenzdetectoreinrichtung (3) eine Verriegelungsschaltungseinrichtung (21) zum Empfangen der Verzögerungsdaten und des Adresssignals und zum Ausgeben verriegelter Verzögerungsdaten und verriegelter Adresssignale in Reaktion auf das Taktsignal,

eine Vergleichseinrichtung ( $XOR 1 - XORM, NOR$ ), die an die Ausgänge der Verriegelungsschaltung (21) zum Vergleichen der verriegelten Verzögerungsdaten mit dem verriegelten Adresssignal und zum Ausgeben des Reset-Signales, wenn sie miteinander koinzident sind, aufweist.  
 4. Schaltung mit variabler Verzögerung nach Anspruch 3, dadurch gekennzeichnet, daß die Vergleichseinrichtung ( $XOR 1 - XORM, NOR$ ) eine Mehrzahl von Logikelementen ( $XOR 1 - XORM$ ) einer ersten Sorte zum Vergleichen der verriegelten Verzögerungsdaten mit einer Mehrzahl Bits mit dem verriegelten Adresssignal mit einer Mehrzahl Bits an jedem entsprechenden Bit und zum Ausgeben von Koinzidenzsignalen, wenn sie miteinander koinzident sind, ein Logikelement ( $NOR$ ) einer zweiten Sorte, das an den Ausgang der Mehrzahl von Logikelementen ( $XOR 1 - XORM$ ) der ersten Sorte angeschlossen ist und das Reset-Signal ausgibt, wenn die Koinzidenzsignale von allen Logikelementen ( $XOR 1 - XORM$ ) der ersten Sorte ausgegeben sind, aufweist.  
 5. Schaltung mit variabler Verzögerung nach Anspruch 2, dadurch gekennzeichnet, daß die Koinzidenzdetectoreinrichtung (3) eine Einrichtung (41) aufweist, die an die Einrichtung (8) zum Erzeugen der Verzögerungsdaten angeschlossen ist zum Addieren einer vorbestimmten Zahl zu den Verzögerungsdaten und zum Anlegen der reduzierten Verzögerungsdaten an die Koinzidenzdetectoreinrichtung (3) als die Verzögerungsdaten, und eine Verzögerungsschaltungseinrichtung (42), die an die Koinzidenzdetectoreinrichtung (3) angeschlossen ist zum Erhalten eines beschleunigten Reset-Signales in Reaktion auf die reduzierten Verzögerungsdaten, die von der Koinzidenzdetectoreinrichtung (3) ausgegeben sind und die das Reset-Signal in Reaktion auf das Taktsignal ausgibt, nachdem es durch die Taktsignale entsprechend der gleichen vorbestimmten Zahl verzögert wurde, aufweist.  
 6. Schaltung mit variabler Verzögerung nach Anspruch 4, dadurch gekennzeichnet, daß die erste Sorte eine exklusiv ODER-Schaltung aufweist, und die zweite Sorte eine ODER-NICHT-Schaltung aufweist.  
 7. Schaltung mit variabler Verzögerung nach Anspruch 4, dadurch gekennzeichnet, daß die erste Sorte eine exklusiv ODER-NICHT-Schaltung aufweist, und die zweite Sorte eine UND-Schaltung aufweist.  
 8. Schaltung mit variabler Verzögerung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die Schaltung mit variabler Verzögerung als Verzögerungsschaltung zum Erkennen einer Bildsynchroneisierung in einem Kommunikationssystem einsetzbar ist.

## Beschreibung

60 Die Erfindung betrifft eine Schaltung mit variabler Verzögerung zum Verzögern von Eingangsdaten.  
 Fig. 1 zeigt ein Blockschaltbild einer in einem Kommunikationssystem eingesetzten Schaltung zum Erkennen einer Bildsynchroneisierung mit einem einstellbaren Schieberegister. In folgendem wird auf Fig. 1A Bezug genommen. Die Bezugszeichen 11–13 bezeichnen jeweils ein einstellbares Schieberegister, das Bezugszeichen 14 bezeichnet eine Bildsynchroneisierungserken-

nungsschaltung zum Empfangen der Eingangs- oder Ausgangssignale der einstellbaren Schieberegister 11-13 und zum Erkennen einer Bildsynchroneisierung der Signale, die Bezugszeichen S1-S4 bezeichnen Knoten, die die Eingabe und Ausgabe des jeweiligen einstellbaren Schieberegisters 11-13 und der Bildsynchroneisierungserkennungsschaltung zeigen, und das Bezugszeichen 15 bezeichnet eine Bitdauereinstellschaltung zum Vorsehen einer Verzögerungszeit für jedes der einstellbaren Schieberegister 11-13 und zum Vorsehen eines Bitdauersignales für jedes der einstellbaren Schieberegister 11-13. Ferner bezeichnet der Ausdruck "Bitdauer" die "Dauer der Verzögerungszeit" in dieser Beschreibung.

Fig. 1B zeigt die von der Schaltung in Fig. 1A empfangenen Daten. Die Bezugszeichen DATA 0-DATA 4 bezeichnen Daten mit den notwendigen Informationen in diesen empfangenen Daten und die Bezugszeichen F1-F4 bezeichnen die zum Erkennen einer Bildsynchroneisierung erforderlichen Bildsynchroneisierungsmuster.

Es folgt die Beschreibung der Arbeitsweise. Die in Fig. 1B gezeigten, von der in Fig. 1A gezeigten Schaltung empfangenen Daten werden über den Knoten S4 in das einstellbare Schieberegister 13 eingegeben und dann von dieser Schaltung durch das einstellbare Schieberegister 12 und das einstellbare Schieberegister 11 ausgegeben. Durch geeignetes Einstellen des an die einstellbaren Schieberegister 11-13 angelegten Bitdauersignales in Antwort auf ein zwischen den Bildsynchroneisierungsmustern F1-F4 der empfangenen Daten enthaltenes Zeitintervall können die empfangenen Daten durch das Zeitintervall zwischen den Bildsynchroneisierungsmustern F1-F4 an jedem der einstellbaren Schieberegister 11-13 verzögert werden. Die Bildsynchroneisierungsmuster F1, F2, F3 bzw. F4 können deshalb zu einem bestimmten Zeitpunkt gleichzeitig an den Knoten S1, S2, S3 bzw. S4 durch die Bildsynchroneisierungserkennungsschaltung 14 erkannt werden und folglich anzeigen, daß die empfangenen Daten in genauer Synchronisation empfangen wurden.

Fig. 2 zeigt im Blockschaltbild den Aufbau eines einstellbaren Schieberegisters. Es wird auf Fig. 2 Bezug genommen. Das Bezugszeichen 101 bezeichnet einen Decoder zum Bestimmen eines dem Wert der Verzögerung entsprechenden Registers durch Eingeben eines Auswahlsignals mit k Bits, was der Bitdauereinstellschaltung 15 in Fig. 1A entspricht. Die Bezugszeichen MUX2-MUXi ( $i \leq 2^k + 1$ ) bezeichnen Multiplexer, die eine Ausgabe eines Registers R1 durchgeben, wenn sie durch den Decoder 101 angesteuert werden, und die eine Ausgabe eines linksseitigen Registers durchgeben, wenn sie nicht angesteuert werden. Die Bezugszeichen R2, ..., Ri bezeichnen Register, die die Ausgabe der oben beschriebenen Multiplexer MUX2, ..., MUXi verriegeln und diese an den restsseitigen Multiplexer ausgeben. Das Bezugszeichen  $\phi$  bezeichnet ein Taktsignal. Das Bezugszeichen DI bezeichnet Eingangsdaten und das Bezugszeichen DO bezeichnet Ausgangsdaten.

Das einstellbare Schieberegister ist wie oben beschrieben aufgebaut. Der Decoder 101 erhält ein Auswahlsignal und bestimmt einen Multiplexer von  $2^k$  Multiplexern. Wenn der i-te Multiplexer MUXi bestimmt wird, gibt nur der Multiplexer MUXi die Ausgabe des Registers R1 durch, wogegen die anderen Multiplexer die Ausgabe des entsprechend linksseitigen Registers durchgeben. Folglich verriegelt das Register Ri die Ausgabe des Registers R1 in Synchronisation mit dem

Taktsignal  $\phi$  und die anderen Register verriegeln die Ausgaben der linksseitigen Register. Wenn das nächste Taktsignal  $\phi$  eintritt, verriegelt das Register R*i*-1 die Daten des Registers Ri, und das Register Ri verriegelt die nächsten von dem Register R1 ausgegebenen Daten. Durch Wiederholen der oben beschriebenen Arbeitsweise werden die Daten DI durch das Register R1 und das Register Ri bis zum Register R2 so durchgegeben, daß eine Verzögerung um beispielsweise ( $i + 1$ ) 10 Takte festgesetzt wird und daher als dementsprechende Ausgangsdaten DO ausgegeben werden.

Da das Schieberegister in der oben beschriebenen Weise aufgebaut ist, ergaben sich Probleme daraus, daß die Anzahl der Verzögerungsstufen in dem durch die Anzahl der vorgesehenen Register bestimmten Bereich begrenzt ist. Da ferner das Register als ein Speicherlement benutzt wird, ergaben sich weitere Probleme, darunter, daß viel Platz belegt werden muß, die Speicherkapazität klein ist und der Leistungsverbrauch anwächst. Weiterhin ergaben sich Probleme daraus, daß der Schaltungsaufbau für das Einstellen eines Wertes der Verzögerung kompliziert wurde, wenn eine große Anzahl von Verzögerungsstufen benötigt wird.

Aufgabe der Erfindung ist es daher, eine Schaltung 25 zur Verfügung zu stellen, in der die Einschränkung für die erforderliche Verzögerungszeit gemildert wird, eine größere Speicherkapazität erlangt wird und der Leistungsverbrauch herabgesetzt wird.

Diese Aufgabe wird durch eine erfundengemäß 30 Schaltung mit variabler Verzögerung zum Verzögern von Eingangsdaten gelöst, die die folgenden Merkmale aufweist: Eine Speicherzellenbestimmungseinrichtung, die an eine Speichereinrichtung mit einem Speicherzellenfeld zum Speichern von Eingangsdaten angeschlossen ist und an eine Einrichtung zum Erzeugen verzögter Daten entsprechend einem Taktsignal zum Anlegen eines Signals, das eine Speicherzelle in Abhängigkeit von den Verzögerungsdaten zu der Speichereinrichtung bestimmt, angeschlossen ist; eine an eine Einrichtung 35 zum Empfangen der Eingangsdaten von außen angeschlossene Dateneingangseinrichtung, die an die Speichereinrichtung angeschlossen ist und auf ein von einer Steuereinrichtung erzeugtes Steuersignal in Antwort auf ein Taktsignal zum Schreiben der Eingangsdaten in eine in der Speichereinrichtung enthaltene und durch die Speicherzellenbestimmungseinrichtung bestimmte Speicherzelle anspricht; und eine an die Speichereinrichtung angeschlossene Datenausgabeeinrichtung, die auf das Steuersignal zum Lesen der in einer durch die Speicherzellenbestimmungseinrichtung bestimmte Speicherzelle geschriebenen Eingangsdaten und zum Ausgeben derselben anspricht, wobei die Steuereinrichtung zum Steuern eines zeitlichen Ablaufes so geeignet ist, daß die Schreiboperation durch die Dateneingangseinrichtung nach der Leseoperation durch die Datenausgabeeinrichtung mit der bestimmten Speicherzelle durchgeführt wird.

Erfundengemäß legt die Speicherzellenbestimmungseinrichtung ein Signal zum Bestimmen einer Speicherzelle, mit der die Datenausgabeeinrichtung und die Dateneingabeesinrichtung eine Leseoperation und eine Schreiboperation als eine Funktion von einer Verzögerungsdatenerzeugungseinrichtung erzeugten Verzögerungsdaten durchführen, an die Speichereinrichtung an. Die Speichereinrichtung spricht auf das Signal zum Bestimmen einer Speicherzelle zum Durchführen einer Lese- und Ausgabeoperation mit alten, bereits geschriebenen Daten und zum Durchführen einer

Schreiboperation mit neuen Eingangsdaten von der Eingangsdatenempfangseinrichtung durch eine Einrichtung der Datenausgangseinrichtung und der Dateneingangseinrichtung an. Durch Wiederholen der oben beschriebenen Operation werden verzögerte Eingangsdaten ausgegeben.

Da erfundengemäß die Speichereinrichtung das Speicherzellenfeld aufweist, wird der Vorteil herbeigeführt, daß eine höhere Speicherkapazität in einem kleineren belegten Bereich erhalten werden kann. Als weitere Vorteile sind zu erkennen, daß die Begrenzungen der Dauer der Verzögerungszeit erweitert sind und der Leistungsverbrauch verringert ist.

In einem bevorzugten erfundengemäßen Ausführungsbeispiel weist die Speicherzellenbestimmungseinrichtung folgende Merkmale auf: Eine an die Einrichtung zum Erzeugen der Verzögerungsdaten und an eine auf das Taktignal zum Zählen der Adressen und zum Ausgeben eines Adresssignals ansprechende Adressenzählereinrichtung und auf das Taktignal ansprechende Koinzidenzdetektorschaltung zum Vergleichen der verzögerten Daten mit dem Adresssignal und zum Anlegen eines Reset-Signals zum Rücksetzen der Adressenzählereinrichtung auf einen vorbestimmten Wert an die Adressenzählereinrichtung; und eine an die Adressenzählereinrichtung angeschlossene und auf das Taktignal zum Decodieren des Adresssignals und zum Anlegen des einer Speicherzelle bestimmenden Signales an die Speichereinrichtung ansprechende Decodereinrichtung.

In dem bevorzugten erfundengemäßen Ausführungsbeispiel spricht die Adressenzählereinrichtung auf das Taktignal zum sequentiellen Zählen der Adressen und zum Anlegen des Adresssignals an die Koinzidenzdetektoreinrichtung und die Decodereinrichtung an. Die Koinzidenzdetektoreinrichtung spricht auf das Taktignal zum Vergleichen der von der Einrichtung zum Erzeugen der Verzögerungsdaten angelegten Verzögerungsdaten mit dem Adresssignal an und legt das Reset-Signal an die Adressenzählereinrichtungen, wenn sie miteinander koinzidieren. Die Adressenzählereinrichtung spricht auf das Reset-Signal zum Wiederholen der oben beschriebenen Operation an, nachdem der Adressenzähler auf den zuvor bestimmten Wert zurückgesetzt ist. Das an die Decodereinrichtung angelegte Adresssignal wird durch die Decodereinrichtung decodiert und an die Speichereinrichtung als ein Signal für das decodierte Adresssignal zum Bestimmen einer Speicherzelle angelegt.

In dem bevorzugten erfundengemäßen Ausführungsbeispiel ist der Vorteil zu erkennen, daß die Speicherzellenbestimmungseinrichtung ohne die besondere Notwendigkeit einer externen Steuerung leicht durch die Adressenzählereinrichtung, die Decodereinrichtung und die Koinzidenzdetektorschaltung mit einem einfachen Aufbau erhalten wird.

Weitere Merkmale und Zweckmäßigkeitkeiten der Erfahrung ergeben sich aus der Beschreibung eines Ausführungsbeispiels anhand der Figuren. Von den Figuren zeigt

Fig. 1A ein Blockschaltbild einer in einem Kommunikationssystem verwendeten Schaltung zum Erkennen einer Bildsynchroneisierung mit einem einstellbaren Schieberegister,

Fig. 1B ein Diagramm eines schematischen Aufbaus der empfangenen Daten zum Beschreiben der Arbeitsweise der in Fig. 1A gezeigten Schaltung.

Fig. 2 ein Blockschaltbild eines Schaltungsaufbaus ei-

nes einstellbaren Schieberegisters;

Fig. 3 ein Blockschaltbild eines erfundengemäßen Schaltungsaufbaus der Schaltung mit variabler Verzögerung,

Fig. 4 ein Blockschaltbild eines erfundengemäßen Ausführungsbeispiels der Koinzidenzdetektorschaltung,

Fig. 5 ein Blockschaltbild eines weiteren erfundengemäßen Ausführungsbeispiels der Koinzidenzdetektorschaltung.

Unter Bezugnahme auf die Figuren wird im folgenden ein erfundengemäßes Ausführungsbeispiel beschrieben. Es wird auf Fig. 3 Bezug genommen. Das Bezugszeichen 1 bezeichnet ein Speicherzellenfeld mit  $n$  Bit  $\times R$  Zeilen. Das Bezugszeichen 2 bezeichnet einen durch ein externes Taktignal  $\Phi$  betriebenen Zeilenadressenzähler, der zurückgesetzt (reset) werden kann. Das Bezugszeichen 8 bezeichnet eine Verzögerungsdaten erzeugende Schaltung zum Erzeugen von verzögerten binären Daten  $DA_1 - DA_m$  mit  $m$  Bits zum Bestimmen einer Verzögerungszeit. Das Bezugszeichen 3 bezeichnet eine Koinzidenzdetektorschaltung zum Erkennen der Koinzidenz der von der Verzögerungsdaten erzeugenden Schaltung 8 eingegebenen, verzögerten binären Daten  $DA_1 - DA_m$  und zum Ausgeben der Signale  $A_1 - A_m$  von dem Adressenzähler 2. Das Bezugszeichen 4 bezeichnet einen Decoder zum Ansteuern einer Zeile des Speicherzellenfeldes 1. Das Bezugszeichen 5 bezeichnet eine Dateneingangsschaltung zum Empfangen der Daten  $DI_1 - DI_n$  und zum Anlegen derselben an das Speicherzellenfeld 1 in Antwort auf das Steuersignal. Das Bezugszeichen 6 bezeichnet eine Datenausgeschaltung zum Empfangen der Daten von dem Speicherzellenfeld 1 und zum Ausgeben derselben in Antwort auf das Steuersignal. Das Bezugszeichen 7 bezeichnet eine Steuerschaltung zum Erzeugen eines Steuersignals zum Steuern einer Lese- oder Schreiboperation des Speicherzellenfeldes 1 durch die Dateneingangsschaltung 5 und die Datenausgangsschaltung 6 in Antwort auf das Taktignal  $\Phi$ .

Fig. 4 zeigt eine erfundengemäße Koinzidenzdetektorschaltung. Im folgenden wird auf Fig. 4 Bezug genommen. Das Bezugszeichen 21 bezeichnet einen Verriegelungsschaltkreis zum Verriegeln einer verzögerten binären Information  $DA_i (1 \leq i \leq m)$  und der Ausgabe  $A_i$  des Adressenzählers 2 durch das Taktignal  $\Phi$ . Die Bezugszeichen  $XOR_1 - XOR_m$  bezeichnen exklusiv ODER-Schaltungen, in die die in der Verriegelungsschaltung 21 gehaltenen verzögerten Daten  $DA_i$  und die Ausgabe  $A_i$  des Adressenzählers 2 eingegeben werden. Das Bezugszeichen  $NOR$  bezeichnet eine ODER-NICHT-Schaltung zum Empfangen der Ausgabe von den  $XOR_1 - XOR_m$ -Schaltungen als Eingabe und weist  $m$  Eingänge auf. Das Bezugszeichen  $RS$  bezeichnet einen Ausgang der ODER-Nicht-Schaltung und ein Reset-Signal zum Rücksetzen des Adressenzählers 2.

Es folgt die Beschreibung der Operation, die in einem einstellbaren Schieberegister wie oben beschrieben abläuft, wenn der Wert des Adressenzählers 2 auf "0" zurückgesetzt ist und eine Verzögerung von  $I$  Stufen von der Verzögerungsdaten erzeugenden Schaltung 8 durch die verzögerten Bindärdaten  $DA_i$  festgesetzt ist. Im folgenden wird auf Fig. 3 Bezug genommen. Die Datenausgeschaltung 6 liest den Inhalt einer Zeile des Speicherzellenfeldes 1 entsprechend der Adresse "0" in Übereinstimmung mit einem Kommando der Steuerschaltung 7 und gibt selbigen an den Ausgang  $DO_1 - DO_m$ . Dann überschreitet die Dateneingangs-

schaltung 5 die Daten  $D1 - Dn$  auf derselben Zeile auf bit-parallele Weise. Der Adressenzähler 2 zählt aufwärts mit der fallenden Flanke des Taktsignals  $\phi$ , und der Decoder 4 erhält die Ausgangssignale  $A1 - Am$  des Adressenzählers 2 mit der ansteigenden Flanke des Taktsignals  $\phi$ , führt die Decodierung aus und bestimmt eine bestimmte ausgewählte Zelle. In Übereinstimmung mit der Steuerschaltung 7 führen die Datenausgabeschaltung 6 und die Dateneingabeschaltung 5 eine Leseoperation und eine Schreiboperation sequentiell von und zu der Zeile des durch den Decoder 4 von dem Wert des Adressenzählers 2 bestimmten Speicherfeldes 1 durch. Mit der Anstiegsflanke des  $(l-1)$ -ten Taktes verriegelt der Decoder 4 den Wert des Adressenzählers 2 entsprechend der  $(l-1)$ , und die Datenausgangsschaltung 6 und die Dateneingangsschaltung 5 führen eine Datenlese- und -schreiboperation von und zu der  $(l-1)$ -ten Zeile durch. Mit der abfallenden Flanke des  $(l-1)$ -ten Taktes  $\phi$  zählt der Adressenzähler 2 aufwärts. Wenn ein Ausgangswert des Adressenzählers 2 ein zu  $l$  entsprechender Wert wird, koinzidieren die verzögerten binären Daten  $DA1 - DAm$  mit den Ausgangssignalen  $A1 - Am$  des Adressenzählers 2 in der Koinzidenzdetektorschaltung 3. Deshalb wird das Reset-Signal  $RS$  von der Koinzidenzdetektorschaltung 3 erzeugt und an den Adressenzähler 2 angelegt und der Adressenzähler 2 dann zurückgesetzt. Wenn die Koinzidenzdetektorschaltung in Fig. 4 beispielsweise benutzt wird, werden alle  $m$ -Ausgangssignale der  $XOR$  1 -  $XORM$ -Schaltungen auf "low" gesetzt, woraus folgt, daß mit dem Empfangen dieser Signale die ODER-NICHT-Schaltung das Reset-Signal  $RS$  mit hohem Pegel ausgibt und der Adressenzähler 2 auf die Adresse "0" zurückgesetzt wird.

Mit der Anstiegsflanke des  $l$ -ten Taktes  $\phi$  wird die Adresse "0" in dem Decoder 4 verriegelt, und die Datenausgabeschaltung 6 und die Dateneingangsschaltung 5 lesen die anfänglich in die Adresse "0" geschriebenen Daten, geben dieselben an die  $DO1 - DOM$  aus und überschreiben dann die nächsten Eingangsdaten an der Adresse "0".

Durch Wiederholen der oben beschriebenen Operation kann ein Verzögerungsschieberegister mit  $(l=2^m)$  Stufen aufgebaut werden.  $l$  ist dabei ein programmierbarer und von außen durch den Benutzer einstellbarer Wert. Durch Anlegen der verzögerten binären Daten  $DA1 - DAm$  an die Schaltung kann ein Schieberegister einer beliebigen, vom Benutzer gewünschten Länge ( $\leq 2^m$ ) aufgebaut werden.

Das Speicherzellenfeld kann die Lese- und Schreiboperation asynchron in einer Speicherzelle vom FAST IN FAST OUT-Typ durchführen.

Die Operation kann ebenfalls in einer Speicherzelle mit einer gemeinsamen Lese- und Schreibe-Bitleitung durchgeführt werden (wie zum Beispiel einer statischen Speicherzelle, einer dynamischen Zelle mit einem Transistor und einer kapazitiven Zelle). In so einem Fall haben die Datenausgangsschaltung 6 und die Dateneingangsschaltung 5 Zugriff auf die gemeinsame Bitleitung.

Obwohl die Koinzidenzdetektorschaltung 3 so gezeigt ist, daß sie ein exklusiv ODER-Element und ein ODER-NICHT-Element aufweist, kann in dem Ausführungsbeispiel nach Fig. 4 dieselbe Operation ausgeführt werden, falls das exklusiv ODER-Element bzw. das ODER-NICHT-Element durch ein exklusiv ODER-NICHT-Element bzw. ein UND-Element ersetzt werden sollten.

Obwohl das Speicherzellenfeld in dem obigen Aus-

führungsbeispiel so gezeigt ist, daß es  $n$  Bit  $\times R$  Zeilen aufweist, kann es auch so aufgebaut sein, daß es  $n$  Bit  $\times R$  Zeilen  $\times J$  Spalten aufweist. In diesem Falle weist der Decoder 4 eine Mehrzahl ( $R$ ) Zeilendecoder-einrichtungen und eine Mehrzahl ( $J$ ) Spaltendecodereinrichtungen auf, wodurch eine größere Menge von Daten-einheiten benutzt werden kann.

Das obige Ausführungsbeispiel ist so aufgebaut, daß der Adressenzähler zurückgesetzt werden kann, nachdem die Koinzidenz der durch den Benutzer eingestellten verzögerten binären Daten und der Ausgangswerte des Adressenzählers durch die Koinzidenzdetektorschaltung 3 erkannt worden ist. In diesem Aufbau wird der Ausgang des Adressenzählers manchmal spät auf "0" zurückgesetzt, weil eine Verzögerung erzeugt wurde, bevor die Koinzidenz bestimmt ist und ein Reset-Signal ausgegeben wird. Damit das vermieden wird und eine hohe Geschwindigkeit erreicht wird, kann die Koinzidenzschaltung 3 plus einem Addierer und einer Verriegelungsschaltung eingesetzt werden.

In Fig. 5 ist ein Blockschaltbild einer Koinzidenzdetektorschaltung zum Verbinden einer verzögerten Erzeugung des Reset-Signales gezeigt. Im folgenden wird auf Fig. 5 Bezug genommen. Das Bezugszeichen 41 bezeichnet einen  $m$ -Bit-Addierer zum Subtrahieren einer 1 von den verzögerten Binärdaten  $DA1 - DAm$ . Das Bezugszeichen 3 bezeichnet dieselbe Koinzidenzdetektorschaltung wie in dem obigen Ausführungsbeispiel. Das Bezugszeichen 42 bezeichnet eine Verriegelungsschaltung zum Halten eines von der Koinzidenzschaltung 3 ausgegebenen Koinzidenzsignales  $ES$  für einen Takt, wenn die Koinzidenz erkannt wird, und das dann als ein Reset-Signal  $RS$  ausgegeben wird. Bezugszeichen 43 bezeichnet eine Koinzidenzdetektorschaltung zum Verhindern einer Verzögerung der Erzeugung des Reset-Signales. In der Koinzidenzdetektorschaltung zum Verhindern einer Verzögerung der Erzeugung des Ergebnissignals gibt die Koinzidenzdetektorschaltung das Koinzidenzsignal  $ES$  aus, wenn eine Verzögerung von  $l$  Stufen durch die binären Daten  $DA1$  gesetzt ist und die Ausgabe  $A1 - Am$  des Adressenzählers die  $(l-1)$  entsprechende Adresse erreicht. Das Koinzidenzsignal  $ES$  wird in der Verriegelungsschaltung verriegelt, gibt das Reset-Signal  $RS$  unmittelbar nach Erhalten des Signals  $\phi$  aus und setzt dann den Inhalt des Adressenzählers 2 auf "0" zurück. Durch die Verwendung dieser Schaltung wird das Reset-Signal  $RS$  zum Zurücksetzen des Adressenzählers 2 an den Adressenzähler 2 unmittelbar ausgegeben, und daraus ergibt sich, daß eine Reset-Operation des Adressenzählers 2 an der Verspätung gehindert werden kann.

Wie oben beschrieben weist eine erfundsgemäße Schaltung mit variabler Verzögerung eine Speichereinrichtungseinheit mit einem Speicherzellenfeld und einer Adressenzähleleinrichtung, einer Decodereinrichtung und einer einfachen Koinzidenzdetektoreinrichtung auf. Die Schaltung hat deshalb vorteilhafte Merkmale, die da sind, daß eine größere Speicherkapazität in einem kleineren belegten Bereich erreicht wird, die Begrenzung der Dauer einer Verzögerungszeit durch die beschränkte Speicherkapazität gemildert und der Leistungsverbrauch verringt wird.

**- Leerseite -**

Fig.: 17:1

Nummer:  
; Int. Cl.<sup>4</sup>:  
Anmeldetag:  
Offenlegungstag:

37 42 487

G 11 C 19/00

15. Dezember 1987

7. Juli 1988

FIG. 1A

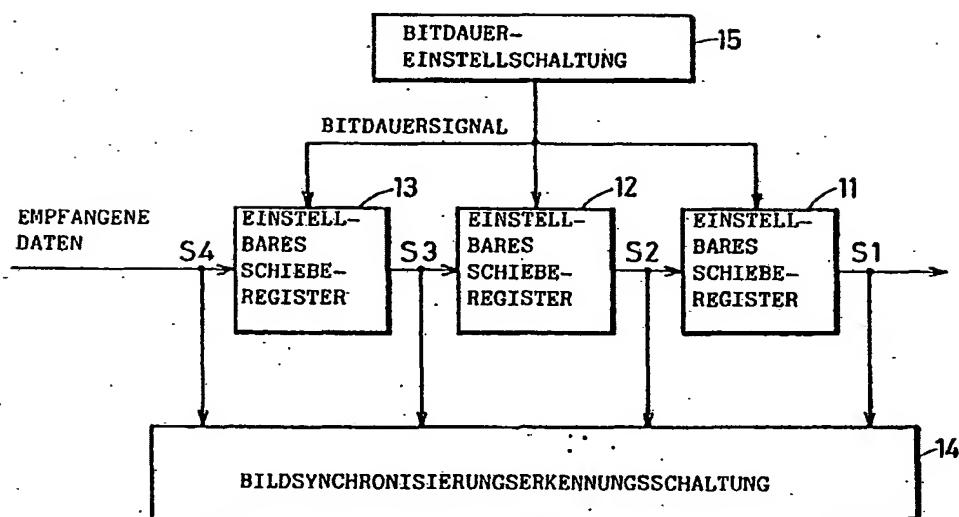


FIG. 1B

EMPFANGENDE DATEN

DATA 4	F4	DATA 3	F3	DATA 2	F2	DATA 1	F1	DATA 0
--------	----	--------	----	--------	----	--------	----	--------

ORIGINAL INSPECTED

808 827/453

FIG. 2

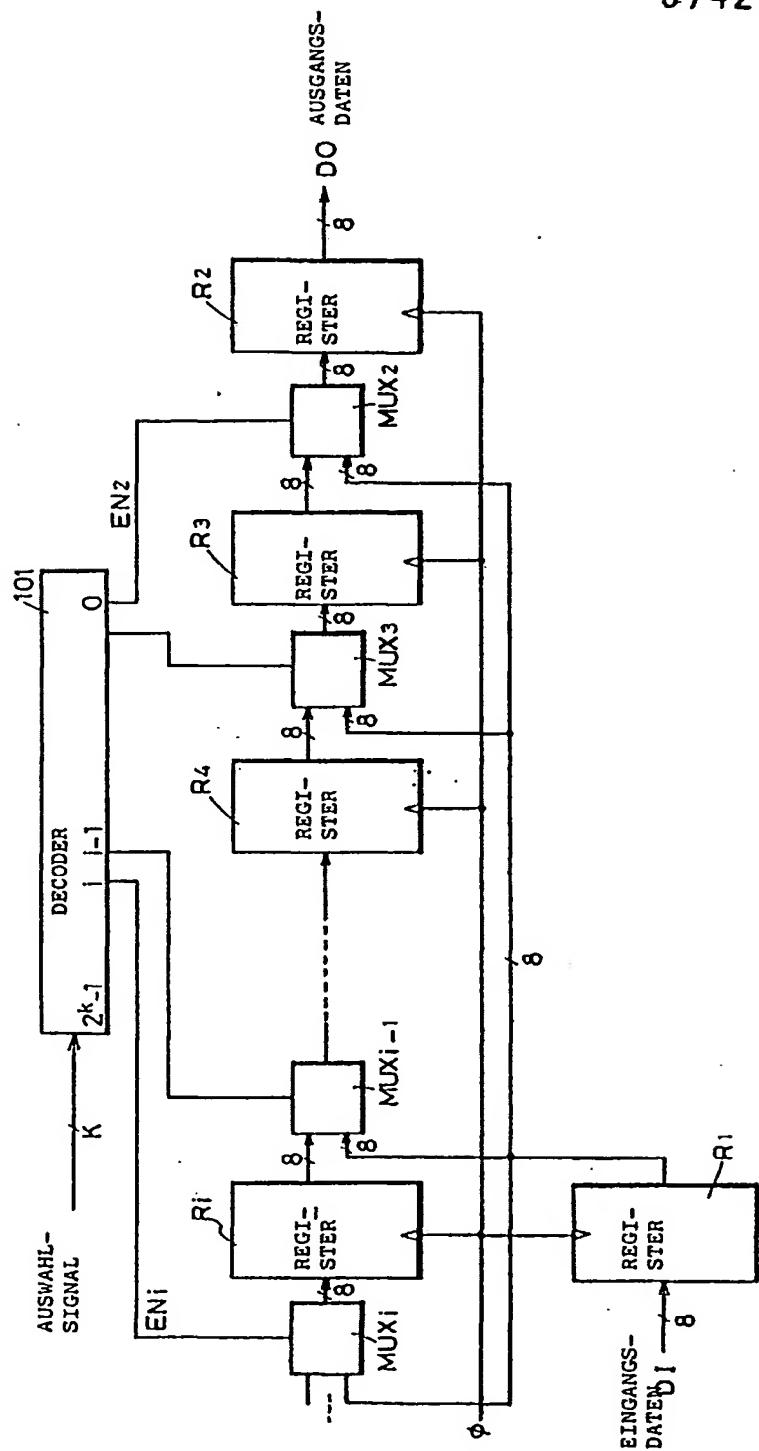


Fig.: 19 : 14

3742487

3742487

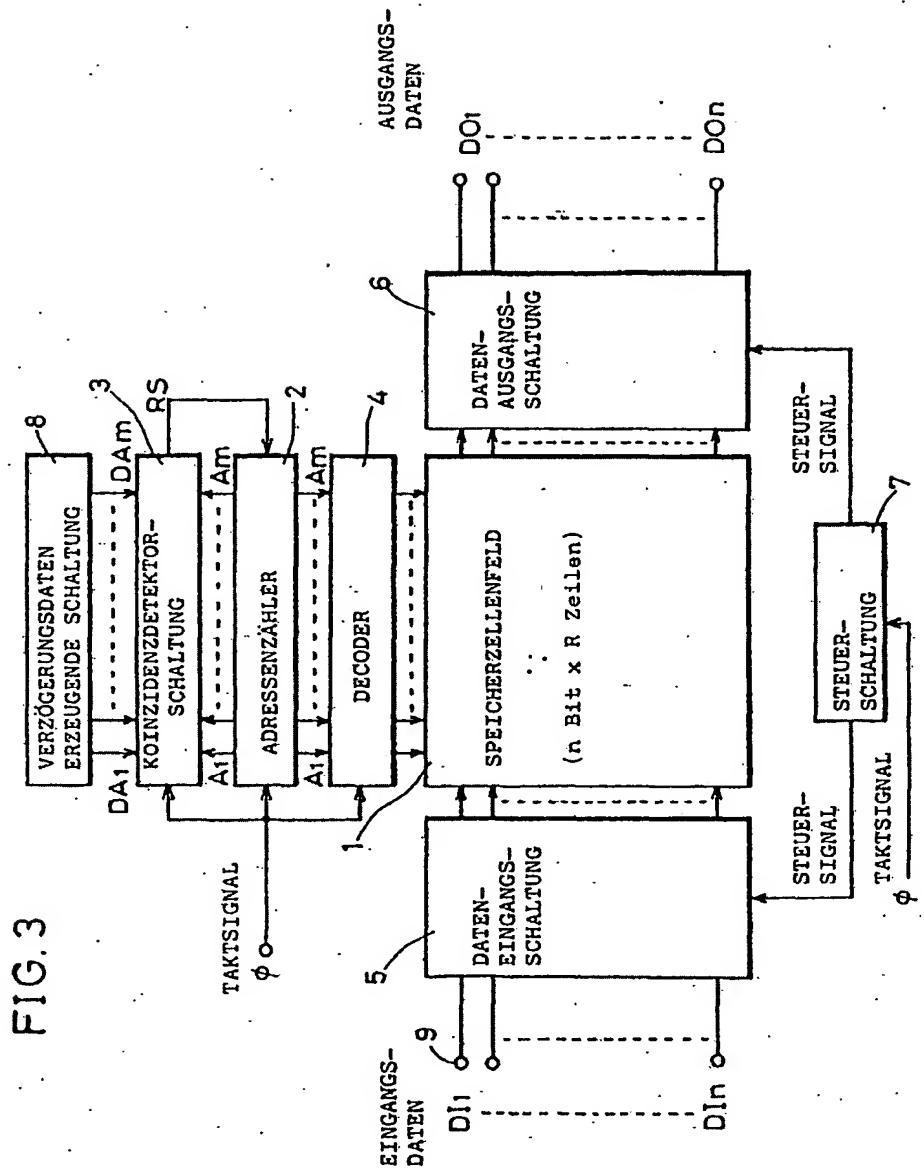


Fig.: L 20.1.1

3742487

FIG. 4

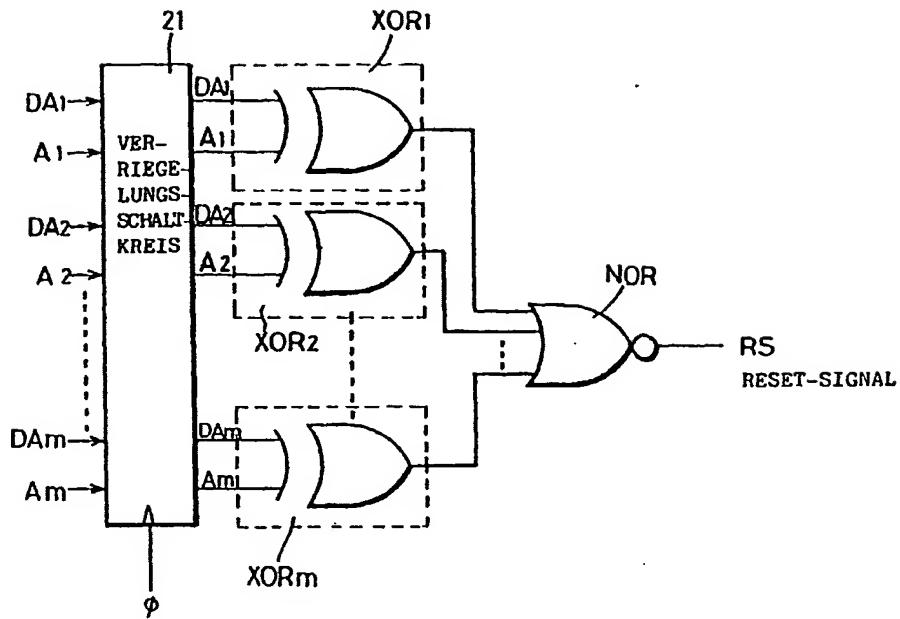
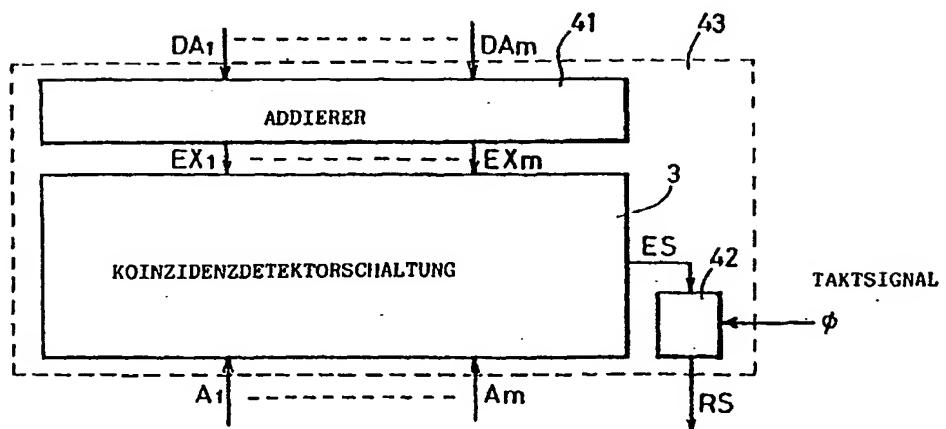


FIG. 5



Translator's notes re DE 3742487:

1. This document was originally written in Japanese and translated into German. There are some inconsistencies that cannot be resolved in the translation from German to English.

Example:

In claim 1, the second-last part of the body reads:

"... in such a way that the operation of writing of the input data by the data-input device (5) can be performed after the operation of reading into the data-output device (6) has been executed by the specified storage cell."

The corresponding recitation in the specification is:

"...in such a way that the write operation by the data-input device is performed after the read operation by the data-output device with the specified storage cell."

2. Some obvious errors in the German have been corrected:

Examples:

OR NOT element to NOT OR element [Japanese word order inverted compared to German and English]

fast in fast.out [the actual words in German] to first in first out [the Japanese "romaji" can be read either as "fast" or "first"]

3. Apparent missing words have been added in brackets.

Example:

... a comparing device which [is connected] to the outputs ...

**German Patent Office**

**German Patent Application (Laid open)**

**DE 3742487 A1**

**Int. Cl. 4**  
**G 11 C 19/00**  
**G 06 F 9/26**  
**G 11 C 7/00**  
**H 03 K 5/13**  
**H 04 N 5/04**

**File No.** P 37 42 487.4  
**Application date** December 15, 1987  
**Date laid open** July 7, 1988